

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-054966

(43)Date of publication of application : 23.02.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 63-206142

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 19.08.1988

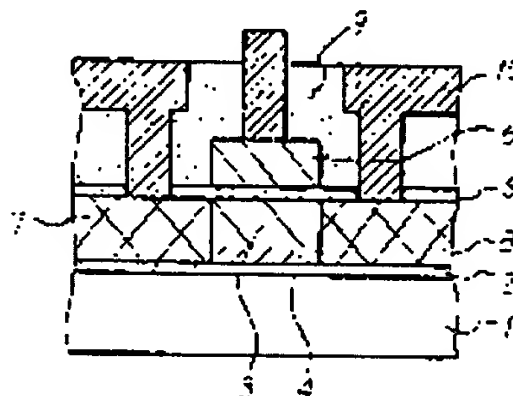
(72)Inventor : FUSE MARIO

(54) POLYSILICON THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To decrease a leakage current by providing a counterdope layer on an interface between a poly Si layer and a substrate which make up a channel part.

CONSTITUTION: An oxide Si film 2 is formed on an Si substrate 1 and a poly Si layer (a channel part) 3, source and drain regions 7 and 8 are formed on the above film 2. Then, a gate oxide film 5 is provided on the layer 3 and the regions 7 and 8 and further, a gate electrode 6 is mounted on the layer 3 of the film 5. In this way, an n-type counter-dope layer 4 is provided on the interface at the side of the substrate 1 of the layer 3. This configuration allows the interface at the side of the substrate 1 of the layer 3 to be free from electron holes and as a result, reduces an electric leakage without using back-gate electrodes. As the formation of such a depletion layer in the layer 3 improves switching characteristics, a thick substrate which is manufactured at a low cost is used as the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-54966

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月23日

H 01 L 29/784

8624-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 ポリシリコン薄膜トランジスタ

⑯ 特 願 昭63-206142

⑰ 出 願 昭63(1988)8月19日

⑱ 発 明 者 布 施 マ リ オ 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑲ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

⑳ 代 理 人 弁理士 山 谷 皓 榮

明 細 書

トランジスタのドレイン電流のリークを低減させるための構成に関する。

1. 発明の名称 ポリシリコン薄膜トランジスタ

〔従来の技術〕

2. 特許請求の範囲

(1) 基板と、基板上に設けた第1の酸化膜と、前記第1の酸化膜上に形成した2つに分かれた第1の導電型部と、前記2つに分かれた第1の導電型部の間のチャネル部と、前記第1の導電型部と前記チャネル部の上部に形成した第2の酸化膜と、前記チャネル部の前記基板側境界部にカウンタードーピングにより形成した第2の導電型部と、前記第2の酸化膜のチャネル部上に設けたゲート電極部とを具備することを特徴とするポリシリコン薄膜トランジスタ。

近年、薄膜トランジスタを駆動素子等に使用したフラット・パネル・ディスプレイやイメージセンサ等の各種の画像入出力デバイスの開発が精力的に行われている。薄膜トランジスタを用いることにより、大面積化が容易であること、低価格化が実現されること、駆動素子を画像入出力素子の近くに配置出来るため、配線容量の影響を受けにくいなどの利点がある。

これは、大面積のフラット・パネル・ディスプレイでは、数万から数十万の画素に対応して、同数のスイッチング・トランジスタが必要となるが、薄膜トランジスタを用いることによってこれを同時に形成することが可能である。これは薄膜トランジスタの製造プロセスが大面積にわたって形成可能であることによる。一方、ICプロセスは大口径基板(例えば5吋ウエハ、8吋ウエハ等)に

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ポリシリコンを活性層とする薄膜トランジスタに係り、特に蓄積型ポリシリコン薄膜

対応しつつあるとはいえ、ページ・ディスプレイやページ・スキャナ等大面積画面に対応するには程遠い。

また薄膜トランジスタの製造工程が低温工程であるため、例えばコーニンググラス社製の商品番号コーニング7059等の安価なガラス基板が使用可能であること、さらに同一工程で全トランジスタが大面積基板上に形成されるため、低価格化が可能となる。ICチップを外付けあるいは基板上に実装しては、ICチップのコスト及び実装コストは基板面積に比例して増加するため、コスト高は必至である。

薄膜トランジスタには通常、アモルファス・シリコン層を可動キャリアが走行する活性層として用いるアモルファス・シリコン薄膜トランジスタとポリシリコン層を活性層とするポリシリコン薄膜トランジスタが提案されている。

アモルファス・シリコン薄膜トランジスタは液晶ディスプレイや直線状の一次センサであるリニア・イメージセンサ等に応用されている。しかし、

たことによる（例えば、Journal of Applied Physics 57、No 12、pp 5169-5175、1985参照）。この技術を用いることによって前述の高い移動度を有するポリシリコンを得ることができる。

ところで、薄膜トランジスタには、ゲート電極下の活性層表面に、該活性層と同一導電型層を設ける蓄積型 (accumulation-mode) 薄膜トランジスタと、ゲート電極下の活性層表面に、該活性層と反対導電型の不純物を導入する反転型 (inversion-mode) 薄膜トランジスタがある。

ポリシリコン薄膜トランジスタの場合、蓄積型の方が駆動電流が多くとれ、閾値電圧も小さいことが報告されている。

第8図は従来の蓄積型Pチャネルポリシリコン薄膜トランジスタの1例の断面図である。

第8図において、1はシリコン基板、2はシリコン熱酸化膜、3はポリシリコン層で、ゲート電極下でノンドープあるいは低濃度にボロン(B)がドープされている。5はゲート絶縁膜、6はゲ

アモルファス・シリコン中のキャリアの移動度は高々 $1 \text{ cm}^2/\text{Vs}$ であるため、駆動電流は $10^{-6} \sim 10^{-5} \text{ A}$ と余り大きくとれない。従って、この薄膜トランジスタの応用範囲は制限され、集積化を困難にしている。

一方、ポリシリコン中のキャリアの移動度は、結晶化プロセスの最適化により、 $100 \text{ cm}^2/\text{Vs}$ まで可能となり、アモルファス・シリコンのそれに比べて2桁以上多い駆動電流を得ることができる。これにより液晶ディスプレイやイメージセンサの高解像度化を容易にするだけでなく、大電流及び大電圧を要するELD (Electro Luminescent Display) 駆動用、感熱ヘッド駆動用にも応用出来ることになる。

これは最近ポリシリコンあるいはアモルファス・シリコンへのセルフ・インプラントーション (Self-implantation) とその後の結晶化アニールによって、アモルファス・シリコンをポリシリコンへ変換したり、ポリシリコン自身の粒径 (グレイン径) が1桁以上増大することが明らかになっ

て電極、7はポリシリコン層に形成されたP型ソース領域、8は同様に形成されたドレイン領域である。

ここで用いる基板はある程度耐熱性があり、絶縁性の材料なら、何でもよく熱酸化したシリコン基板に拘わらない。

ポリシリコン層3はポリシリコンあるいはアモルファス・シリコンにSi⁺イオンをイオン注入した後、600～700℃でアニールして再結晶化したものを用いる。これにより、ポリシリコンの粒径は1μ以上となり、Si⁺イオンをイオン注入しないで、再結晶化したポリシリコン層に比較して、移動度の大幅な向上がみられる。

(発明が解決しようとする課題)

ところが、蓄積型ポリシリコン薄膜トランジスタはリーク電流が大きいという問題点がある（例えばIEEE Transactions on Electron Devices、vol. ED-32、No 2、1985年2月pp258～281参照）。

第4図に蓄積型pチャネル薄膜トランジスタ

のソース電極は接地され、ドレイン電極に $V_{ds} = -10V$ の電圧を印加した場合のドレイン電流 I_d とゲート電圧 V_g の関係を示す。

第4図の実線1は、第8図に示す構造の薄膜トランジスタのドレイン電流を示し、ゲート電圧 $V_g = 0$ あるいは正の時、ドレイン電流 I_d (即ち、リーク電流) は $10^{-8}A$ 程度と大きく実用上問題が多い。即ち、ゲート電圧 $V_g = 0$ の時のリーク電流が大きいと、スイッチングのオン/オフ比を悪くするばかりでなく、 $V_g = 0$ から $V_g = V_{th}$ (閾値電圧) までのサブ・スレッショルド領域でのドレイン電流 I_d の立ち上りを悪くし、スイッチング速度の低下を招く。

このゲート電圧 $V_g = 0$ の時のリーク電流の主要な原因は、種々の実験から、基板(第8図の例ではシリコン基板1)側の酸化シリコン膜2に捕獲された負電荷によるものと判断される。

第9図に蓄積型p-チャネル薄膜トランジスタにおける基板側界面のエネルギー・バンド図を示す。通常は接地されている基板側の酸化シリコン

で第10図に示すごとく基板側のバック・ゲート電極に $V_{bg} = +10V$ の電圧を印加して、バック・ゲート電極側のフェルミレベルを下げで、ポリシリコン層3の基板側エネルギー・バンドを下側に湾曲させる。この場合のドレイン電流 I_d とゲート電圧 V_g の関係は第4図の点線3で示す如くなる。予想通り、リーク電流の大幅な減少がみられる。

以上の如く、リーク電流の原因は明らかになったが、バック・ゲート電極による基板側ポリシリコン層のエネルギー・バンドベンディングのコントロールは、ガラス基板を用いた場合、ガラス基板上にこのバック・ゲート電極を構成するために後述の如き余計なプロセス・ステップが必要となり好ましくない。

これは通常用いられるガラス基板は、例えば 500μ 程度の如く非常に厚く、このガラス基板上のポリシリコン層3と反対側に、バック・ゲート電極を形成するための加工が困難であるのみならず、ガラス基板を介してバック・ゲート電極によ

膜(バック・ゲート酸化膜)2中に捕獲された負電荷のため、ポリシリコンの基板側のエネルギー・バンドは上側に湾曲(band bending)する。その結果正孔がポリシリコンと基板との界面に蓄積される。この蓄積した正孔がソース・ドレイン電極間の電界によりドリフトしてドレイン電極に集まるため、リーク電流が流れるものと考えられる。

第4図の破線2は、基板側に電極を設け、このゲート電極(バック・ゲート電極という)に $V_{bg} = -10V$ を印加した場合の I_d と V_g の関係を示す。この場合にはバック・ゲート酸化膜内の負電荷及び外部からの印加した電界 V_{bg} により、ポリシリコン層3の基板側のエネルギー・バンドを故意に上側に湾曲させたため、より多くの正孔が蓄積される。

その結果、ゲート電圧 $V_g = 0$ でも $10^{-8}A$ 程度の I_d 、即ちリーク電流が流れている。

従って、リーク電流を少なくするには、ポリシリコン層3と、シリコン基板1との界面に蓄積される正孔を空乏化させればよいことになる。そこ

って、基板側ポリシリコン層3のエネルギー・バンドをコントロールするには、例えば数十KV程度の非常に高い電圧を必要とし、実用的でない。

また、ガラス基板のポリシリコン側の表面にバック・ゲート電極を形成し、これに例えば数1000Å程度の厚さの酸化シリコン膜を被覆し、これを介して活性層となるポリシリコン膜を形成することもできる。しかし、これはプロセス的に工程数が多く好ましくない。

従って、本発明の目的は、蓄積型ポリシリコン薄膜トランジスタにおいて、リーク電流、特にゲート電圧をかけない場合のリーク電流の低減を実現するための構造を提供するものであり、特にバック・ゲート電極を用いずに、基板側ポリシリコン層のエネルギー・バンド・ベンディングのコントロールを行うものである。

(課題を解決するための手段及び作用)

本発明は、上記目的を達成するために、蓄積型ポリシリコン薄膜トランジスタのポリシリコン層

と基板との界面にカウンター・ドープ層を設けるものである。

カウンター・ドープ層とは蓄積型p-チャネル・トランジスタではリン(P)、砒素(As)、アンチモン(Sb)などのn型不純物でドーピングを行い、蓄積型n-チャネル・トランジスタでは、硼素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)等のp型不純物でドーピングを行って形成された層である。

ポリシリコン層の基板側界面にカウンター・ドープ層を形成することにより、常にポリシリコン層の基板側界面の正孔を空乏化することが出来、バック・ゲート電極を用いずにリーク電流の低減を図ることができる。

(実施例)

本発明の一実施例を第1図～第4図について説明する。

第1図はSiを基板として用いた本発明の蓄積型ポリシリコン薄膜トランジスタの断面構成図、

次に第3図によって本実施例の蓄積型p-チャネル薄膜トランジスタの製造工程を説明する。

(1) シリコン基板1上に熱酸化による酸化シリコン膜2を約1000Å成長させた。この厚さは10V程度の低電圧でシリコン基板1側の界面を空乏化できるように選んだ。

次に減圧CVD法により、580℃の成長温度でポリシリコン膜3を約1000Åの厚みだけ酸化シリコン膜2上に堆積した。一般に減圧CVD法を用いると、580℃ではシリコン膜はアモルファスになると知られているが、X線回折により、このポリシリコン膜3は、(111)方位に優先配向した多結晶であることがわかった。

次にポリシリコン膜3に、110KeV、 $4 \times 10^{13}/\text{cm}^2$ の条件で、Si⁺イオンを注入した(第3図(a)参照)。

(2) 続いてこのポリシリコン膜3に75KeV、 $5 \times 10^{13}/\text{cm}^2$ の条件で、n型不純物であるP⁺イオンの注入を行った。これが、本発明のカウンター・ドーピングである。その後窒素雰囲気中で

第2図は本発明の構造の基板側の界面のエネルギー・バンド図、第3図は製造工程説明図、第4図はドレイン電流-ゲート電圧の関係図である。

第1図、第3図において、1はシリコン基板、2は酸化シリコン膜、3はポリシリコン層(チャネル部)、4はカウンター・ドープ層、5はゲート酸化膜、6はゲート電極、7はソース領域、8はドレイン領域、9は酸化シリコン膜、10は電極をそれぞれ示す。

第1図に示す如く、本発明においては、ポリシリコン層3のシリコン基板1側の界面にn型のカウンター・ドープ層4が存在する。

第2図から明らかな如く、ポリシリコン層3とシリコン基板1との界面に、n型にドーピングしたカウンター・ドープ層4を設けたことにより、基板側酸化シリコン膜2中に捕獲された負電荷は、正にイオン化したドナーで中和されている。

ポリシリコン層3の基板側のエネルギー・バンドは上側に湾曲しているが、可動正孔は空乏化している。

600℃、37時間のアニールを行って、シリコン膜を再結晶化させた。と同時にポリシリコン層3'の基板側にリンがドーピングされたカウンター・ドープ層4が形成され、これによって、ポリシリコン層3の基板側界面の正孔の空乏化が実現される(第3図(b)参照)。

(3) 次に減圧CVD法により酸化シリコン膜5を約1000Åの厚みだけ、続いて、減圧CVD法により、ポリシリコン膜6'を約4000Åの厚みだけ、前記ポリシリコン膜3上に堆積させた。その後、該ポリシリコン膜6'にPOCl₃をドーピングして、高濃度にリンをドーピングした(第3図(c)参照)。

(4) リンドープされたポリシリコン層6'をドライエッチングによりパターニングして、ゲート電極6を形成した(第3図(d)参照)。

(5) ゲート電極6上に図示省略したフォトリジストを用いて、ゲート酸化シリコン膜5を通してB⁺イオンを注入して、ソース領域7、ドレイン領域8を形成した。B⁺イオンとして、BF₃を

用い、 130 KeV 、 $2 \times 10^{15}/\text{cm}^2$ の条件でイオン注入を行った(第3図(e)参照)。

(6) 次いで約 7000Å の厚みの酸化シリコン膜9を堆積した後、 950°C で30分間、窒素雰囲気中でアニールを行い、イオン注入したドーパントの活性化を行った(第3図(f)参照)。

(7) 続いて、ソース、ドレインおよびゲート電極のコンタクトホール用の穴開けを、ドライエッチングにより行った(第3図(g)参照)。

(8) Si含有量1%のAl-Si合金のスパッタリングにより、メタライゼーションを行った後、ソース、ドレインおよびゲート電極等のパターニングをし、最後にフォーミングガス中で 450°C で30分間のシンタリングを遂行し薄膜トランジスタを完成する(第3図(h)参照)。ただしこれは第1図と同様のものである。

プロセス終了後、ドレイン電流とゲート電圧の関係を測定したところ、バック・ゲート電圧(V_{gs}) = 0であるにもかかわらず、一点鎖線4の如く、ゲート電圧 $V_{gs} = 0$ の時のリーク電流が十分

ルを行い、拡散距離を長くしないものを選ばれる(第5図(b)参照)。

この方法はカウンター・ドーパントをそれ自身の中に含有する絶縁物で基板表面を被覆した後、Si・イオン注入後のアニールにより、カウンター・ドーパントをポリシリコン膜中へ拡散させるものである。

また第6図に別の方法を示す。予め基板1内へカウンター・ドーパントとしてP・イオンをイオン注入により打ち込んでおく(第6図(a)参照)。

次いで、ポリシリコン層3を堆積後、結晶化アニール時に拡散させる(第6図(b)参照)。

さらに第7図の方法は、シリコン基板上に、カウンター・ドーパントをその場ドーピング(in-situ doping)したポリシリコン膜24を薄く堆積させておくものである。即ち、酸化シリコン膜2を有するシリコン基板上に、SiとPを含むガス例えば $\text{SiH}_4 + \text{PH}_3$ 或いは $\text{Si}_2\text{H}_6 + \text{PH}_3$ 中でCVD法でPをドーピングしたSi層24を薄く堆

積した。さらに、ゲート電圧 $V_{gs} = 0$ から閾値電圧までのサブシュレショルド領域でのドレイン電流の立ち上がりも良好で、スイッチング速度も十分速いものが得られる。

なお、本実施例においてはカウンター・ドーパ層の形成を不純物のイオン注入とアニールによって行っているが、本発明はこれに限られず、他の方法によっても形成することが出来る。

第5図～第7図によって他の方法を説明する。

第5図では、カウンター・ドーパントとしてPを用いる場合、シリコン基板1上に活性層を提供するポリシリコン膜の形成前に、PSG(Phosphosilicate Glass) 14で基板表面を被覆しておく(第5図(a)参照)。

次にポリシリコン膜3を形成後、該ポリシリコン膜3へのSi・イオン注入後の再結晶化のための低温アニールを行う。その後、高温アニールにより、PをPSGからポリシリコン膜中へ拡散させる。この場合のアニール法は急速熱アニール(Rapid Thermo Anneal)を用い、短時間にアニー

積する(第7図(a)参照)。

次いで、CVD法に用いるガスをシランのみにしてポリシリコン層3を堆積し、アニールにより再結晶化する(第7図(b)参照)。

この場合、その場ドーピングしたポリシリコン層はノン・ドーピングポリシリコン層にPを熱拡散したりイオン注入することによっても形成できることは云までもない。

上記の実施例では、ポリシリコン層を形成する基板として、シリコン基板を用いた例について説明したが、耐熱性のある絶縁基板であれば、使用可能であり、例えば、石英基板やコーニンググラス社の商品番号、コーニング1729、コーニング7059等のガラス基板を用いることも出来る。なおガラス基板を用いる場合は基板からの不純物侵入を防ぐため基板表面を酸化シリコン膜で被覆しておくことが望ましい。

さらに、他の構成要素(ゲート絶縁膜、ゲート電極、保護膜、電極配線)に用いる材料についても同様で、使用可能な他の材料を用いることが出

来る。

ポリシリコン膜の堆積方法も常圧CVD法、プラズマCVD法、スパッタリング法、加熱蒸着法等が利用できる。但し、ポリシリコン膜の再結晶化法はシリコン膜へのS⁺イオン注入とその後のアニールによる。その際、例えば580℃以下の低温で成長したアモルファスシリコン膜を再結晶化してポリシリコン膜としてもよい。

また、蓄積型ローチャネル薄膜トランジスタのカウンター・ドープ層の形成は、基板側の酸化シリコン膜中に捕獲された負電荷によるエネルギー・バンドの湾曲のため、界面では電子が既に空乏化しているので、必要ないように思われるが、負電荷量の変動を考慮して、完全な空乏化を保证する意味で、カウンタ・ドープ層の形成は有効である。

(発明の効果)

本発明の構成にすることにより、蓄積型ポリシリコン薄膜トランジスタにおいて、特にゲート電

圧を印加しない状態の時に流れるリーク電流の低減を図ることが出来た。

特にバック・ゲート電圧を印加することなく、リーク電流を低減し、スイッチング特性を向上することが出来るので、基板としてガラス基板等、安価で厚い基板も用いることが出来る。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成説明図、

第2図は本発明の構造の基板側界面のエネルギー・バンド図、

第3図は本発明の一実施例の製造工程説明図、

第4図はドレイン電流-ゲート電圧の関係図、

第5図～第7図は本発明の他の製造工程説明図、

第8図は従来例説明図、

第9図は従来例の基板側界面のエネルギー・バンド図、

第10図は他の基板側界面のエネルギー・バンド図である。

1……シリコン基板、

2……酸化シリコン膜、

3……ポリシリコン層、

4……カウンタ・ドープ層、

5……ゲート酸化膜、

6……ゲート電極、

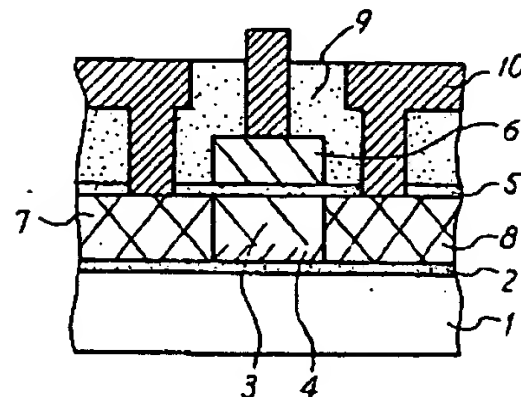
7……ソース領域、

8……ドレイン領域。

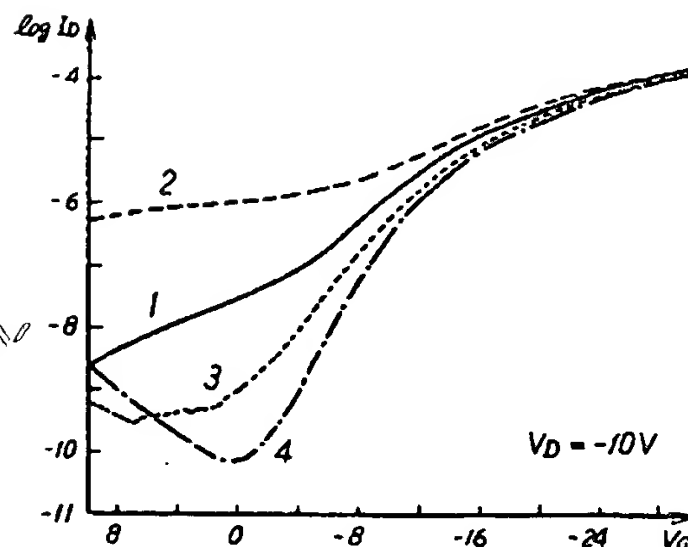
特許出願人 富士ゼロックス株式会社

代理人弁理士 山 谷 皓 榮

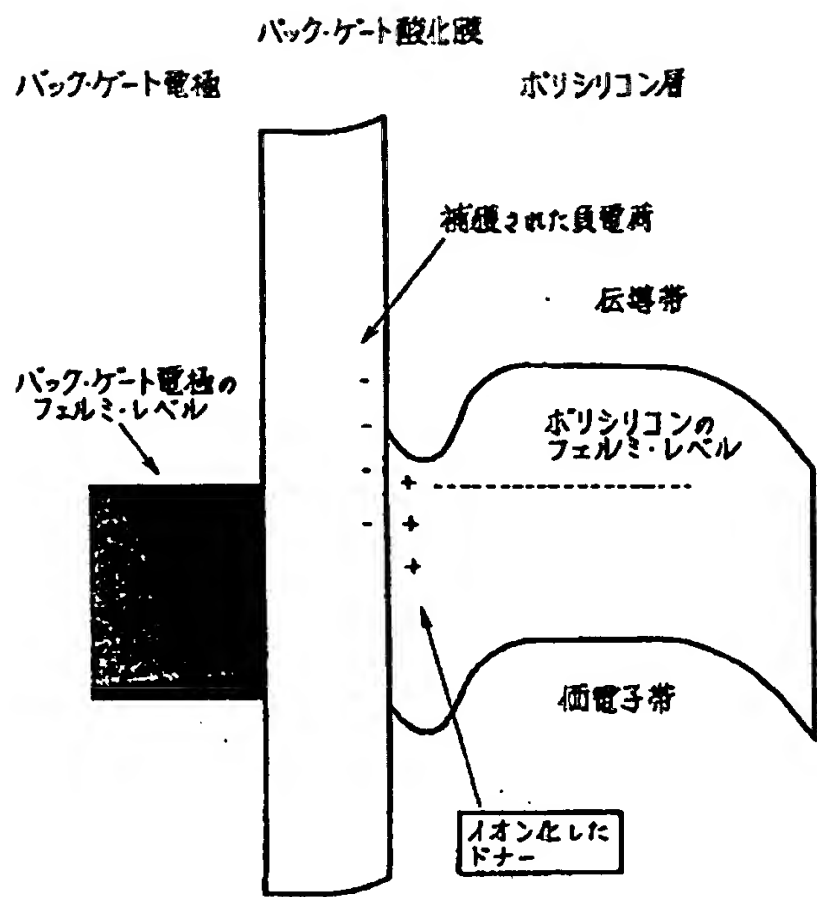
BEST AVAILABLE COPY



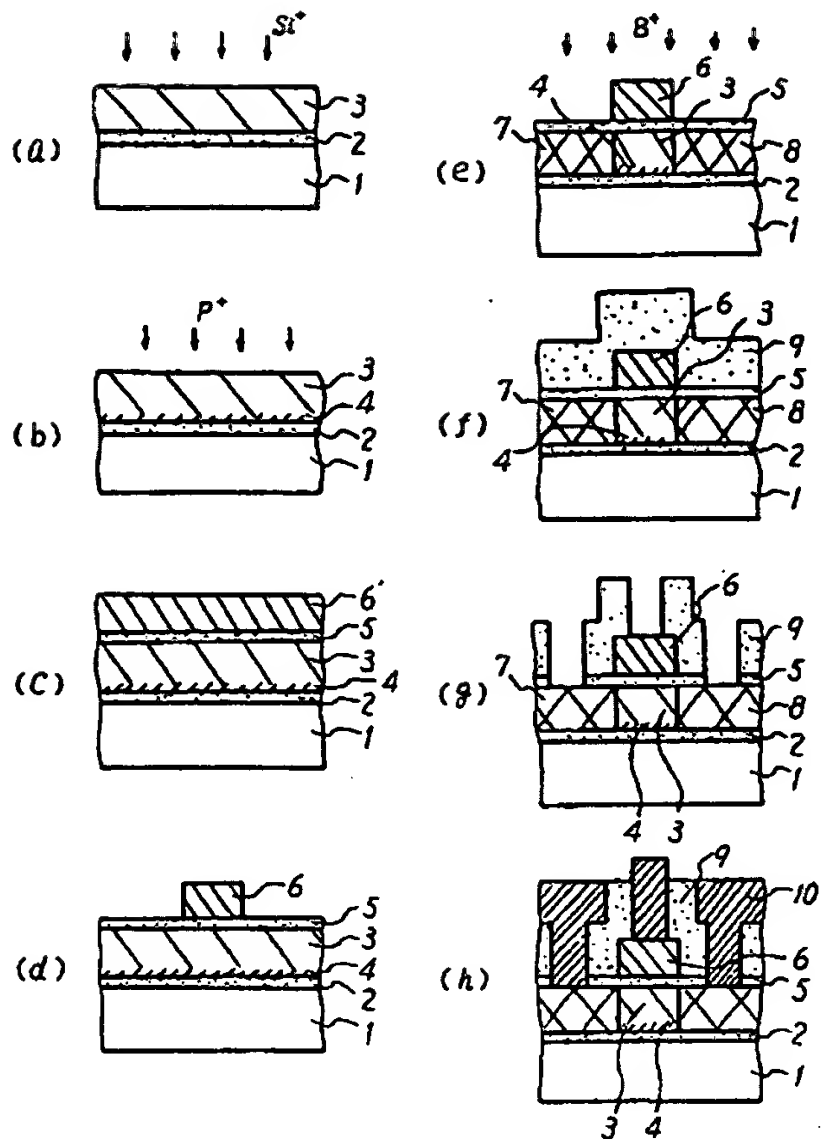
第1図



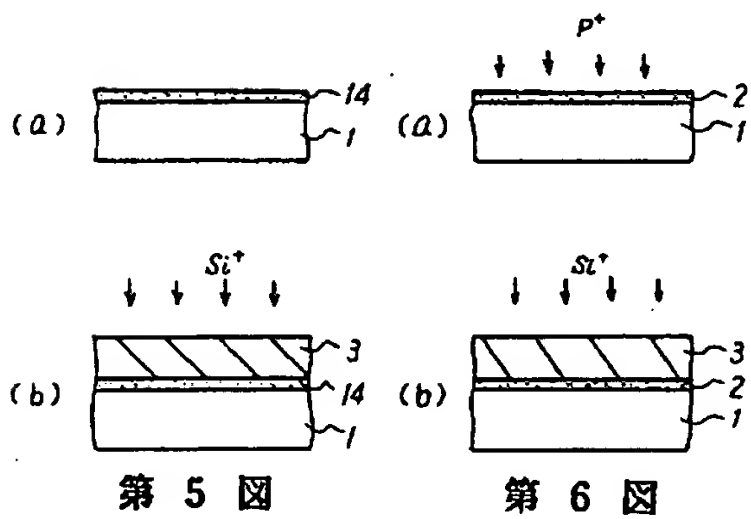
第4図



第 2 図

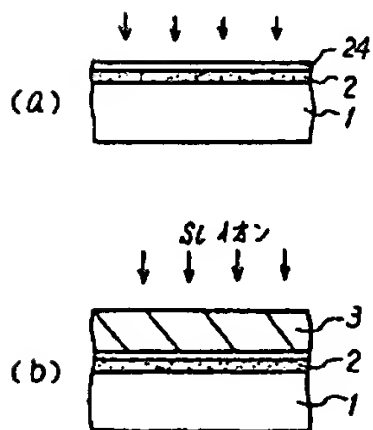


第 3 図

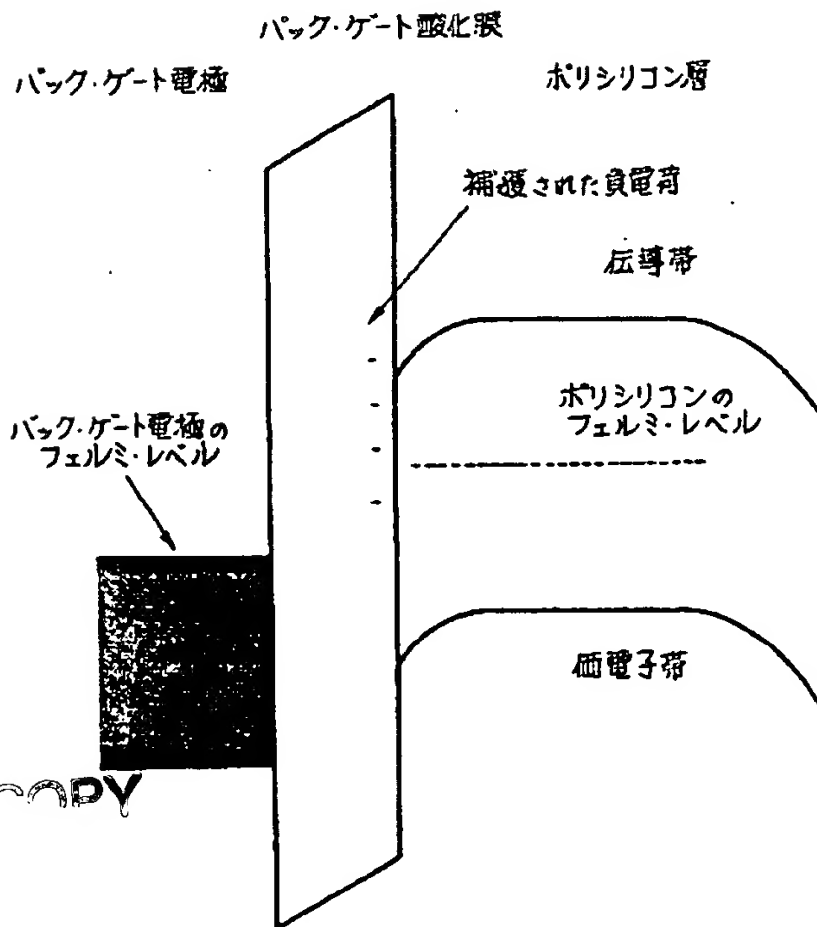


第 5 図

第 6 図



第 7 図



第 10 図

